

PAT-NO: JP402158165A  
DOCUMENT-IDENTIFIER: JP 02158165 A  
TITLE: MULTI-CHANNEL INTEGRATED CIRCUIT  
PUBN-DATE: June 18, 1990

INVENTOR-INFORMATION:

NAME

SANO, YUJI

OSAWA, MICHITAKA

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP63312011

APPL-DATE: December 12, 1988

INT-CL (IPC): H01L027/04, H01L021/3205 , H01L021/90 ,  
H01L027/08

US-CL-CURRENT: 257/211, 327/310

ABSTRACT:

PURPOSE: To suppress a crosstalk between channels of a multi-channel integrated circuit by substantially equalizing the capacity values of parasitic capacitances between wirings and one set of differential signaling unit generated by an intersection with the wirings.

CONSTITUTION: Parasitic capacitances 311, 312 become distributed capacity parasitic between wiring structures. The areas of intersections 2101 and 2102

shown by shaded parts are equalized by the symmetry of the wiring structures to increase the capacities of the parasitic capacities 311, 312 substantially equally. Accordingly, the transmissions of signals leaked from wirings 210 of differential signal lines 221, 222 are together equalized. Thus, signals leaking from the differential signal lines 221, 222 to the wirings 210 are substantially cancelled. As a result, a signal leakage from channels 2 and 3, 4 through the wirings 210 can be suppressed.

COPYRIGHT: (C)1990,JPO&Japio

## ⑫ 公開特許公報(A)

平2-158165

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)6月18日

H 01 L 27/04  
21/3205  
21/90  
27/08

3 3 1

D 7514-5F  
W 6810-5F  
B 7735-5F  
6810-5F

H 01 L 21/88

Z

審査請求 未請求 請求項の数 4 (全8頁)

⑭ 発明の名称 多チャンネル集積回路

⑯ 特 願 昭63-312011

⑰ 出 願 昭63(1988)12月12日

⑱ 発 明 者 佐 野 勇 司 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所  
所家電研究所内⑲ 発 明 者 大 沢 通 孝 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所  
所家電研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1. 発明の名称

多チャンネル集積回路

## 2. 特許請求の範囲

1. 少なくともひとつのあるチャンネルの信号線において、第1のチャンネル外からチャンネル内に渡り設けられた第1の配線が交差する箇所の信号線を第1の1組の差動信号線とし、上記第1の配線との交差により生じる上記第1の配線と上記第1の1組の差動信号線それぞれの間の寄生容量をほぼ等しい容量値としたことを特徴とする多チャンネル集積回路。

2. 少なくともあるひとつの第2のチャンネルの第2の信号線との交差を避けれない第1の制御信号線を差動制御信号線とし、差動制御信号を受けて制御を行なう為の差動入力回路を上記の差動制御信号線に接続し、上記の第2の信号線との交差により生じる、上記の第2の信号線と上記の差動制御信号線それぞれの間の寄生容量をほぼ等しい容量値としたことを特徴とする

多チャンネル集積回路。

3. 少なくともあるひとつの第3のチャンネルの第3の信号線と交差する第2の制御信号線に直列抵抗を挿入したことを特徴とする多チャンネル集積回路。

4. 複数の第4のチャンネル間で共通となる第1の電源線或いは第1の接地線を有し、上記第4のチャンネルのうちの少なくともあるひとつのチャンネル内の信号回路の電源線或いは接地線に、定電流源或いは定電流回路を直列挿入したことを特徴とする多チャンネル集積回路。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は多チャンネルの信号処理回路を内蔵した集積回路における、チャンネル間クロストークの抑制に関するものである。

## 〔従来の技術〕

多チャンネルの信号処理回路においては、チャンネル間の整合性とトラッキング特性が良く、小形化と低価格化が図れる事により、集積回路化が

進められている。

例えば、ナショナル・セミコンダクタ社リニア・データブック3(1988年)に記載された高精細カラーモニタ用RGBビデオアンプLM123は、コントラスト・ブライツ調整機能等を有する半導体集積回路である。この集積回路では3チャンネルのビデオ回路を1チップ化したことにより、40dBの広いコントラスト可変範囲においても、電圧ゲインのチャンネル間偏差が±0.3dBに抑えられている。

[発明が解決しようとする課題]

しかし、多チャンネル集積回路にはチャンネル間クロストークが大きいという問題点がある。例えば上記の従来集積回路の場合にクロストークを-40dB以下に抑える為には、ビデオ周波数を10MHz以下に制限しなければならない。

多チャンネル集積回路においてチャンネル間クロストークが増大する原因は次のように考えられる。従来例を示す第2図を用いて説明する。

(a) チャンネル2と3, 4の各チャンネルの信号

を1組の差動信号線とする。その際、上記の配線との交差により生じる、上記の配線と上記の1組差動信号線それぞれの間の寄生容量の容量値をほぼ等しくする。

(b) 少なくともあるひとつのチャンネルの信号線との交差を避けられない制御信号線を差動制御信号線とし、差動制御信号を差動入力回路で受けて制御を行なう。その際、上記の信号線との交差により生じる、上記の信号線と上記の差動制御信号線それぞれの間の寄生容量の容量値をほぼ等しくする。

(c) 少なくともあるひとつのチャンネルの信号線との交差を避けられない制御信号線に直列抵抗を挿入する。

(d) 複数のチャンネル間で共通となる電源線或いは接地線インピーダンスを有する場合に、少なくともあるひとつのチャンネル内の信号回路の電源線或いは接地線に、定電流源或いは定電流回路を直列挿入する。

[作用]

線22と23, 24と各チャンネルを共通に制御する制御信号線21との交差箇所の寄生容量31と32, 33を介した信号漏えい。

(b) 集積回路1内部の電源線41と接地線42のそれぞれのチャンネル間共通インピーダンス43と44を介した信号漏えい。

その他にも集積回路の端子間容量を介した信号漏えい等が考えられるが、上記の2項目が主な原因である。また、クロストーク抑制の為に各チャンネルに接合分離や絶縁層分離を施しても、上記の原因は排除できない。

本発明の目的は、多チャンネル集積回路のチャンネル間クロストークを抑制することである。

[課題を解決するための手段]

上記目的は、下記の4項目に代表される手段のうちの少なくともひとつの手段を採用することにより、達成される。

(a) 少なくともひとつのあるチャンネルの信号線においてそのチャンネル外からチャンネル内に渡って設けられた配線が交差する箇所の信号線

上記の4項目に代表される手段に関する作用を、それぞれの項目番号に対応させて下記の4項目に説明する。

(a) 上記の配線と上記の1組の差動信号線それぞれの間のほぼ等しい容量の寄生容量は、上記の1組の差動信号線それぞれから上記の配線に漏えいする信号のそれぞれの伝達関数をほぼ等しくする。それにより、上記の1組の差動信号線から上記の配線に漏えいする信号はほぼ打ち消され、他チャンネルへのクロストークを抑制することができる。

(b) 上記の信号線と上記の差動制御信号線それぞれの間のほぼ等しい容量の寄生容量は、上記の信号線から上記の差動制御信号線それぞれに漏えいする信号をほぼ等しくする。上記の差動制御信号が入力される差動入力回路は、ほぼ等しい同相信号として入力される上記の漏えい信号の影響を除去する。それにより上記の差動制御信号への信号漏えいによるクロストークを抑制することができる。

- (c) 上記の制御信号線に挿入する直列抵抗は、抵抗と接地電位の間に寄生する分布容量により低域通過フィルタを形成する。従って、制御信号の周波数が漏えい信号の周波数よりも低い場合には、上記の信号線から上記の制御信号線に漏えいした信号を除去することができ、上記の制御信号線を介したクロストークを抑制することができる。
- (d) 上記の定電流源或いは定電流回路は、上記の複数のチャンネル間に共通となる電源線或いは接地線インピーダンスに流れる信号電流を抑制する作用を有する。それにより、上記の電源線或いは接地線インピーダンスを介したクロストークを抑制することができる。

#### 〔実施例〕

以下、本発明の一実施例を第3図により説明する。第3図は2と3、4の3チャンネルの信号処理回路を内蔵した集積回路を示している。配線210は、上記のチャンネル内の差動信号線221と222、231と232、241と242の3組と交差して

示した交差部2101と2102の面積を等しくすることにより、上記の寄生容量311と312の容量はほぼ等しい大きくなる。(実際には半導体層61に起因する電界と周辺配線の影響により、若干の容量偏差を生じる。)また、第4図においては酸化膜層内の交差による寄生容量のみを論じたが、半導体層内の多層の配線構造の間に生じる寄生容量及び酸化膜層と半導体層のそれぞれの配線構造の間に生じる寄生容量についても、上記と同様に等しい容量値が得られる。また上記の方法は、混成集積回路においても容易に応用できる。

上記の方法例により得られたほぼ等しい容量値の寄生容量311と312により、上記の差動信号線221と222のそれぞれから上記の配線210に漏えいする信号の伝達関数は、ともにほぼ等しくなる。このことにより、上記の差動信号線221と222から上記の配線210に漏えいする信号はほぼ打ち消される。結果として、第3図に示した実施例を用いれば、チャンネル2と3、4からの配線210を介した信号漏えいを抑制できる。

いる。配線210がチャンネル2と3、4を制御する為の制御信号線である場合には、1点破線211と212、213で示す配線を接続して表わすことができるが、第3図の場合、配線210は制御信号線に限定されず、配線であれば全てを含む。

以下の説明はチャンネル2を代表として行う為、他のチャンネル3と4にも同様の事が成り立つ。配線210と差動信号線221と222のそれぞれの交差により生じる寄生容量をそれぞれ311と312とする。寄生容量311と312の容量をほぼ等しくする方法例を説明するため、上記の交差箇所付近の集積回路の構造図を第4図に示す。第4図において、60はSiO<sub>2</sub>の酸化膜層、61はSiやGaAs等による半導体層を示し、配線210と214、差動信号線221と222はAlやポリシリコンによる多層配線により構成される。(配線214は後述する他の実施例に用いられる。)上記の寄生容量311と312は、上記の配線構造の間に寄生する分布容量となる。しかし、その配線構造の対称性より、第4図の上面図を示した第5図において斜線部で

以上の実施例は、3チャンネル内蔵集積回路に限らず、多チャンネル内蔵集積回路については言うまでもなく、単チャンネル集積回路においても周辺回路へのクロストークを抑制する技術として応用できる。また、チャンネル間においては、上記の寄生容量値を等しくする必要のない事は言うまでもない。さらに付け加えると、上記の実施例は、信号線と配線が交差する箇所のみを限定するので、交差のない範囲の信号は平衡伝送されようと不平衡伝送(第3図)であろうとかまわない。

次に、本発明の第2項の実施例を第6図を用いて説明する。第6図においては、信号線22と23、24のうちの少なくともひとつの信号線と交差せざるを得ない制御線の制御信号を、差動制御信号線210と214を用いた差動制御信号として伝送し、この差動制御信号を差動入力回路71と72、73に入力して所望の制御を行なう。但し、差動入力回路のそれぞれにおいて、反転入力と非反転入力の入力インピーダンスは相等しいか、差動制御信号線210と214のそれぞれのインピーダンス

が等しくなるように設定される。この場合も、例えばチャンネル2における信号線22と差動制御信号線214と210のそれぞれの交差により生じる寄生容量313と314をほぼ等しい容量値とする。構成方法は第3図に示した寄生容量311と312の場合と同様である。

上記の寄生容量313と314は、上記の信号線22から上記の差動制御信号線のそれぞれ214と210に漏えいする信号をほぼ等しくする。これは、信号の漏えい箇所において差動制御信号線214と210のそれぞれの入力インピーダンスは、ほぼ等しいと見なせるからである。

従って、上記の漏えい信号は同相信号として、差動入力回路71と72,73のそれぞれにおいて除去される。結果として、第6図に示す実施例を用いることにより、上記の差動制御信号への信号漏えいによるクロストークを抑制する事ができる。

以上の実施例は、3チャンネル内蔵集積回路に限らず、多チャンネル内蔵集積回路に対しても応用できる事は言うまでもない。そして、制御信号

介した高周波信号が占める場合が多い。また、制御信号は低周波である場合が多い。従って、上記の直列抵抗は上記の抵抗体面積を大きくした方が好ましい。さらに、集積回路の制御動作への影響を考えると、上記の直列抵抗の抵抗値を低くした方が好ましい。上記の直列抵抗に関するこれらの条件は、集積回路の抵抗特性と整合する。なお、以上の抵抗に関する考察は、集積回路が半導体回路であるか混成回路であるかに依存しないことは言うまでもない。

従って、第7図に示す実施例を用いる事により、上記の信号線22や23,24から上記の制御信号線21に漏えいした信号を除去することができる。

また、上記の直列抵抗は上記の制御信号線上であれば任意の位置に挿入することができる。例えば、集積回路に内蔵された各チャンネルの間に挿入したり、制御信号線と各チャンネルの信号線の交差箇所を挟むように挿入する(後者の場合、交差箇所を有するチャンネル内においても挿入すれば、自己帰還による発振対策にもなる)。

線がひとつのチャンネルの信号線とのみ交差する場合にも、本発明は有効である。また、チャンネル間においては、上記の寄生容量値または差動制御信号線の入力インピーダンスを等しくする必要のない事も自明である。(差動制御信号線は一般に長い配線となり、寄生する分布インピーダンスの影響で、各チャンネルの信号線との交差箇所における入力インピーダンスが異なる場合がある。)

さらに、本発明の第3項の実施例を第7図を用いて説明する。第7図においては、信号線22と23,24のうちの少なくともひとつの信号線と交差せざるを得ない制御信号線21に直列抵抗81と82,83を挿入する。

これらの直列抵抗は81に代表されるように、抵抗と接地電位の間に寄生する分布容量により、低域通過フィルタを形成する。寄生する分布容量は、集積回路の抵抗構造における抵抗体面積に対して比例関係に近い特性をもつ。ここで、上記の制御信号線21に上記の信号線から漏えいする信号は、その大部分を配線の交差による寄生容量を

以上のことより、本発明を用いることで制御信号線を介したクロストークを抑制できる。また、以上の実施例は、3チャンネル内蔵集積回路に限らず、多チャンネル内蔵集積回路に対しても応用できることは言うまでもない。

また、本発明の第4項の実施例を第8図により説明する。第8図においては、チャンネル間で共通となる接地線42が存在する場合を仮定する。このような状況は、集積回路の端子数に制約がある場合等にしばしば発生する。第8図では、各チャンネル内の信号回路51から56の接地線に定電流源或いは定電流回路の91から96を直列挿入している。

以上の構成を用いることにより、チャンネル間で共通となる接地線インピーダンス44に流れる信号電流が抑えられ、この接地線インピーダンスを介したクロストークを抑制することができる。逆に、クロストークを抑えつつ集積回路の電源や接地の端子数を削減できる。

また、第8図において、上記の信号回路の電源

線に流れる信号電流が接地線に流れる電流にほぼ等しい場合には、定電流源或いは定電流回路91や92を接地線側からはずし、電源線側のそれぞれ4311や4312の箇所以前と同一方向にして直列挿入することができる。

本発明の原理は、チャンネル間で共通となる電源線或いは接地線インピーダンスに流れる信号電流を抑制することであるので、各チャンネル内の信号回路のすべてを、定電流源或いは定電流回路を用いた回路構成に変更する必要はなく、電源線或いは接地線に流れる信号電流の大きい信号回路にのみ変更を要する。また、用いる定電流源や定電流回路の部分は、上記のチャンネル間共通インピーダンスに流れる信号電流の大きくならない範囲で抵抗に置き換えることができる。

ここで、91から94の定電流源或いは定電流回路を電源線或いは接地線に直列挿入した信号回路の例を第9図から第14図に示す。第9図から第11図までは信号回路が差動増幅回路である場合の例である。エミッタ間インピーダンスが5121

と5122の接続であろうと(第9図)、512の接続であろうとも(第10図)、電源線或いは接地線に定電流源或いは定電流回路91や911,912が直列挿入された差動増幅回路であれば実施例となり得る。同様に出力インピーダンスが受動素子5125や5126であろうと(第9図と第10図)、能動素子5127や5128であろうとも(第11図)実施例となり得る。

第12図は定電流源或いは定電流回路91を負荷としたエミッタ接地増幅回路を示す。同様に、定電流源或いは定電流回路を負荷としたコレクタ接地増幅回路(第13図)とベース接地増幅回路も実施例となり得る。また、定電流源或いは定電流回路によりバイアス電流を流すベース接地増幅回路を第14図に示す。

以上の第9図から第14図に示した回路例のいずれも、電源と能動素子、定電流源或いは定電流回路の極性を反転できることは言うまでもない。また、各能動素子にはトランジスタのほかにはFET(GaAs素子も含む)の各種半導体素子等の集積

回路で利用できる素子はすべて含まれる。

最後に本発明の第1項から第4項までを同時に実施した場合の実施例を第1図に示して、本発明の特徴を最もよく表わす図とする。第1図においては各チャンネルで共通の接地端子12を使用している。第1図の実施例を高精細ディスプレイ用ビデオ集積回路に実施したところ、信号周波数100MHzにおいてチャンネル間クロストークを-44dB以下に抑えることができた。

以上に本発明の第1項から第4項の実施例を詳細に説明したが、いずれの実施例も集積回路に適用できることは言うまでもなく、表面実装回路等の軽薄短小化技術にも本発明は実施できる。

また、一般的に単一のチャンネルのみを内蔵する集積回路を広帯域化する技術により、多チャンネル内蔵集積回路の各チャンネルの信号増幅周波数帯域は容易に拡大できる(但し、集積回路の消費電力とパッケージの端子数等による制約は回避できない)。しかし、一般的にチャンネル間クロストークが周波数の上昇に従って増大する特性を

示すため、多チャンネル内蔵集積回路の使用可能周波数帯域は制限されてきた。従って、本発明を用いることにより、多チャンネル集積回路の周波数帯域を大幅に拡大できる。

#### [発明の効果]

以上詳細に説明したように本発明によれば、クロストークを抑制できるという効果がある。本発明を半導体集積回路に実施したところ、チャンネル間クロストークを100MHzにおいて-44dB以下に抑制することができた。

本発明を用いることにより、多チャンネル集積回路の周波数帯域を大幅に拡大することができる。

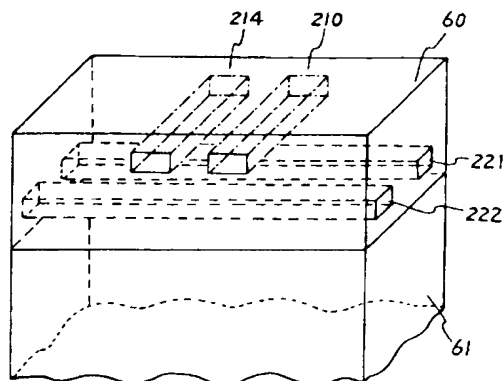
#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図は従来例を示す回路図、第3図は本発明の他の実施例を示す回路図、第4図及び第5図は配線間の寄生容量の説明図、第6図は本発明のさらに他の実施例を示す回路図、第7図は本発明のさらに他の実施例を示す回路図、第8図は本発明のさらに他の実施例を示す回路図、第9図乃至第14図

は第8図に示した信号回路の具体例を示す回路図である。

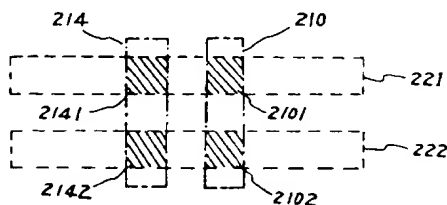
- 1…集積回路
- 2, 3, 4…各チャンネル
- 21, 210, 214…制御信号線
- 22, 221, 222…信号線
- 71, 72, 73…差動入力回路
- 81, 811, 812…直列抵抗
- 91, 92, 911, 912…定電流源或いは定電流回路。

第4図



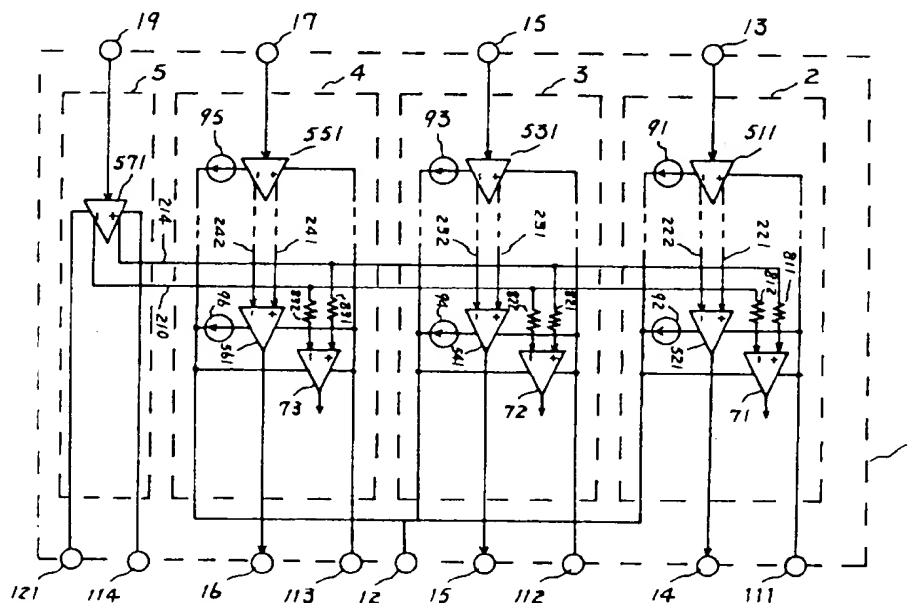
- 60…酸化膜層
- 61…半導体層
- 210…配線
- 214…配線
- 221…配線
- 222…配線
- 2101…配線交差部
- 2102…配線交差部

第5図



代理人 井理士 小川勝男

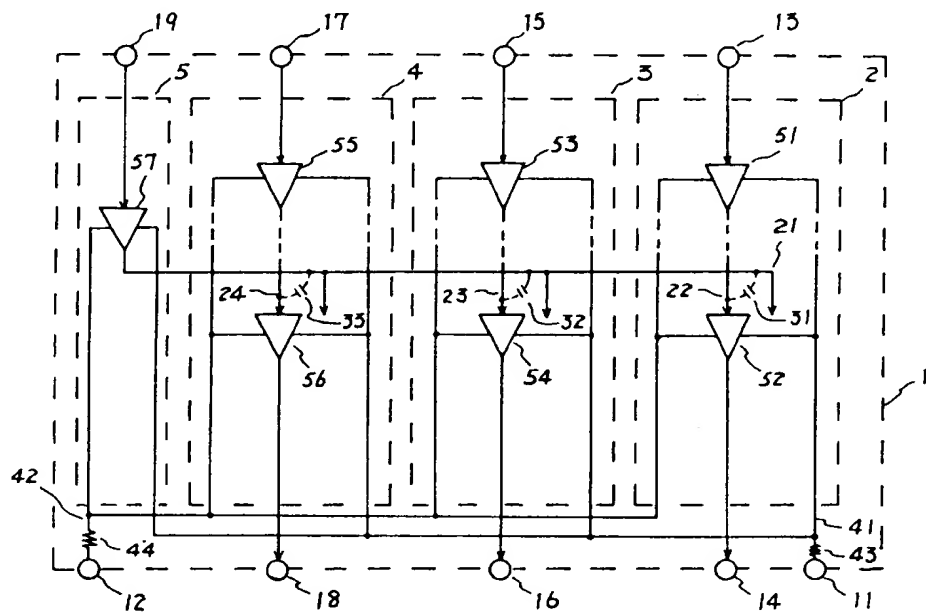
第1図



- 1…集積回路
- 2…チャンネル
- 3…チャンネル
- 4…チャンネル
- 5…制御回路
- 12…共通接地端子

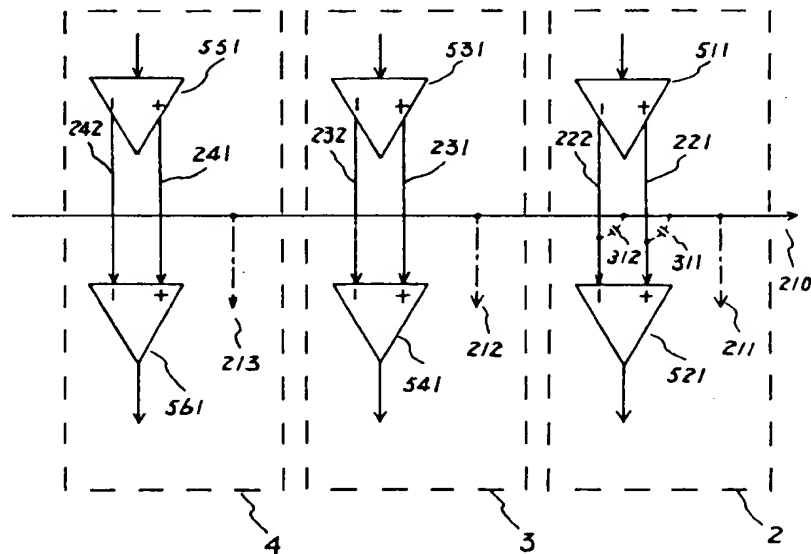


第2図



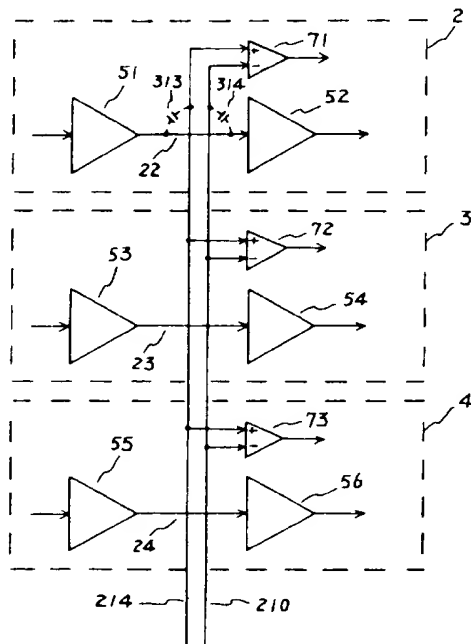
21…制御信号線 33…寄生容量 43…共通バビダス  
 31…寄生容量 41…電源線 44…共通バビダス  
 32…寄生容量 42…接地線

第3図



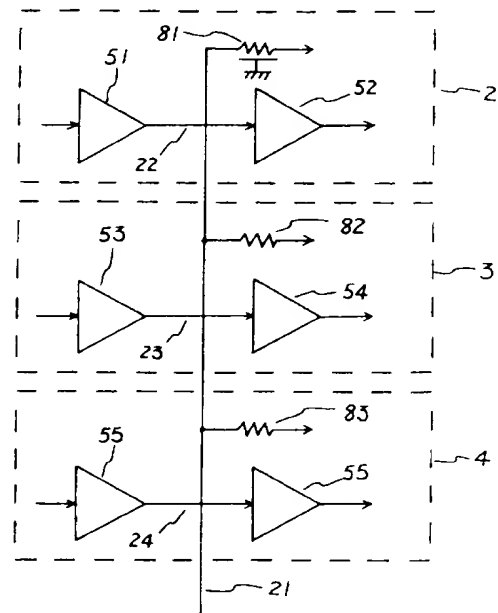
210…配線 222…差動信号線  
 211…制御信号線 511…交差による寄生容量  
 221…差動信号線 512…交差による寄生容量

第 6 図



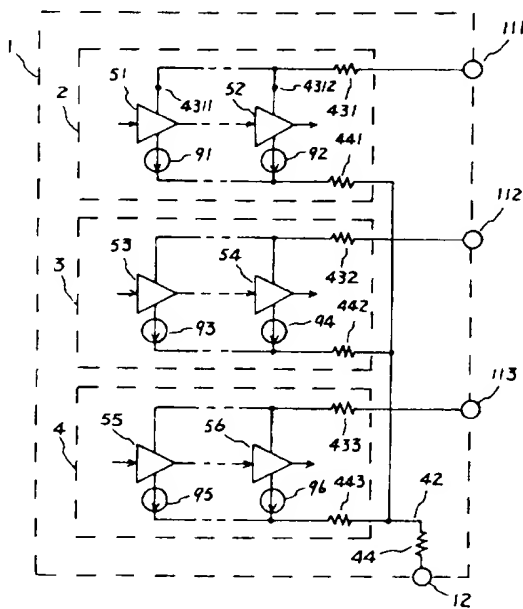
210…差動制御信号線 314…寄生容量 73…差動入力回路  
214…差動制御信号線 71…差動入力回路  
313…寄生容量 72…差動入力回路

第 7 図



81…直列抵抗  
82…直列抵抗  
83…直列抵抗

第 8 図

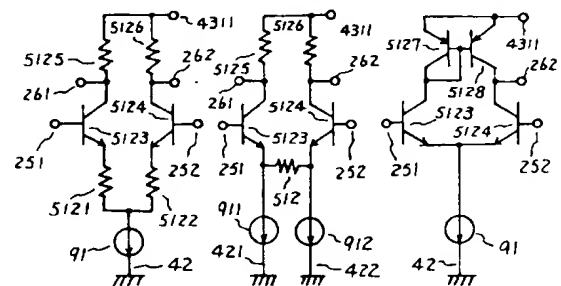


42…共通接地線 92…定電流源  
44…共通接地線にピグス 431…電源線にピグス  
91…定電流源 441…接地線にピグス

第 9 図

第 10 図

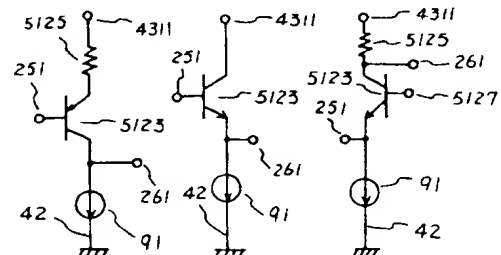
第 11 図



第 12 図

第 13 図

第 14 図



251…入力端子 261…出力端子  
252…入力端子 262…出力端子